

## MULTILAYERED DIELECTRIC STACK AND ITS METHOD

**Patent number:** JP2001267566  
**Publication date:** 2001-09-28  
**Inventor:** YAN-JUN MA; YOSHI ONO  
**Applicant:** SHARP CORP  
**Classification:**  
- international: H01L29/78; H01L27/105  
- european:  
**Application number:** JP20010020773 20010129  
**Priority number(s):**

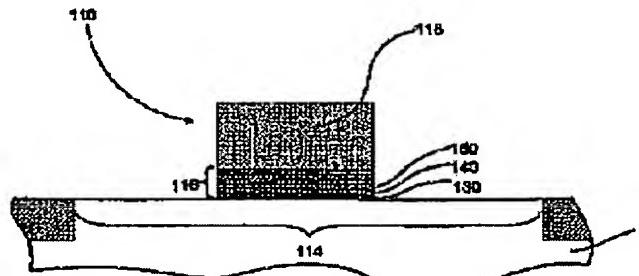
**Also published as:**

- EP1124262 (A2)
- US6407435 (B1)
- JP2001267566 (A)
- EP1124262 (A3)

**Abstract of JP2001267566**

**PROBLEM TO BE SOLVED:** To provide a multilayered dielectric stack having alternate layers of high-dielectric material and insertion material, which can be used in MOS transistor and an integrated circuit structure.

**SOLUTION:** Integrated circuit(IC) structure for an IC containing the multilayered dielectric stack includes a) a first dielectric layer which contains first dielectric material and covers a semiconductor substrate, b) a second dielectric layer which contains a second dielectric material and covers the first dielectric layer, c) a third dielectric layer which contains the first dielectric material and covers the first and second dielectric layers, and d) an electrode which covers the dielectric stack.



---

Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267566

(P2001-267566A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.  
H 01 L 29/78  
Z7/105

識別記号

F 1  
H 01 L 29/78  
27/103 0 1 G  
4 4 4 A

マークコード(参考)

(21) 出願番号 特願2001-20773(P2001-20773)  
 (22) 出願日 平成13年1月29日 (2001.1.29)  
 (31) 優先権主張番号 09/502,120  
 (32) 優先日 平成12年2月11日 (2000.2.11)  
 (33) 優先権主張国 米国 (US)

審査請求 未請求 請求項の数26 O.L. (全 9 頁)

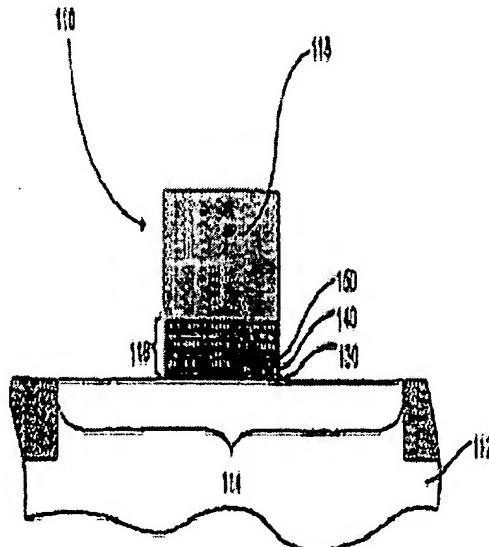
(71) 出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (72) 発明者 ヤンジュン マー  
 アメリカ合衆国 ワシントン 98683,  
 バンクーバー, エスイー 24ティーエイ  
 チ ウェイ 18311  
 (72) 発明者 ヨシ オノ  
 アメリカ合衆国 ワシントン 98607,  
 カマス, エヌダブリュー 24ティーエイ  
 チ サークル 2526  
 (74) 代理人 100078282  
 弁理士 山本 秀策

## (54) 【発明の名称】 多層誘電体 STACK およびその方法

## (57) 【要約】

【課題】 MOSトランジスタおよび集積回路構造に用いることができる高誘電体材料および挿入材料の交互の層を有する多層誘電体STACKを提供すること。

【解決手段】 多層誘電体STACKを含むICのための集積回路 (IC) 構造は、a) 第1の誘電体材料を含み、半導体基板を頂う第1の誘電体層と、b) 第2の誘電体材料を含み、第1の誘電体層を頂う第2の誘電体層と、c) 第1の誘電体材料を含み、第1および第2の誘電体層を頂う第3の誘電体層と、d) 誘電体STACKを頂う電極とを含む。



【特許請求の範囲】

【請求項 1】 a) ゲート電極と、  
b) 該ゲート電極の下に上面を有するチャネル領域と、  
c) 第1の誘電体材料を含む第1の誘電体層、第2の誘電体材料を含む第2の誘電体層、および該第1の誘電体材料を含む第3の誘電体層を含み、該ゲート電極と該チャネル領域の上面との間に挿入させたゲート誘電体スタックと、を含むMOSトランジスタ。  
【請求項 2】 多層誘電体スタックを含むICのための集積回路(1C)構造であって、該構造は、  
a) 第1の誘電体材料を含み、半導体基板を覆う第1の誘電体層と、  
b) 第2の誘電体材料を含み、該第1の誘電体層を覆う第2の誘電体層と、  
c) 該第1の誘電体材料を含み、該第1および第2の誘電体層を覆う第3の誘電体層と、  
d) 該誘電体スタックを覆う電極と、を含む、IC構造。

【請求項 3】 前記第1の誘電体材料は、ZrO<sub>2</sub>、HfO<sub>2</sub>、TiO<sub>2</sub>、およびTa<sub>2</sub>O<sub>5</sub>からなる群から選択され、前記第2の誘電体材料は、Al<sub>2</sub>O<sub>3</sub>、AlN、SiN、Si<sub>3</sub>N<sub>4</sub>、およびSiO<sub>2</sub>からなる群から選択される、請求項2に記載の集積回路構造。

【請求項 4】 前記第1の誘電体材料は、Al<sub>2</sub>O<sub>3</sub>、AlN、SiN、Si<sub>3</sub>N<sub>4</sub>、およびSiO<sub>2</sub>からなる群から選択され、前記第2の誘電体材料は、ZrO<sub>2</sub>、HfO<sub>2</sub>、TiO<sub>2</sub>、およびTa<sub>2</sub>O<sub>5</sub>からなる群から選択される、請求項2に記載の集積回路構造。

【請求項 5】 前記第1の誘電体層は、50オングストローム未満の厚さである、請求項2に記載の集積回路構造。

【請求項 6】 前記第1の誘電体層は、約2～5オングストロームの厚さである、請求項2に記載の集積回路構造。

【請求項 7】 前記第2の誘電体層は、50オングストローム未満の厚さである、請求項2に記載の集積回路構造。

【請求項 8】 前記第2の誘電体層は、約2～5オングストロームの厚さである、請求項2に記載の集積回路構造。

【請求項 9】 前記第1の誘電体層と前記半導体基板との間に挿入された酸化バリアをさらに含む、請求項2に記載の集積回路構造。

【請求項 10】 前記酸化バリアが、窒化シリコンおよび酸窒化シリコンからなる群から選択される材料で構成される、請求項9に記載の集積回路構造。

【請求項 11】 前記半導体基板と前記電極との間に、複数の前記第1の誘電体材料および前記第2の誘電体材料の複数の交互の層が挿入された、請求項2に記載の集積回路構造。

【請求項 12】 前記複数の交互の層は、約20～200オングストロームの厚さの合計厚さを有する、請求項11に記載の集積回路構造。

【請求項 13】 a) 半導体基板の上面に第1の誘電体層を形成する工程と、b) 該第1の誘電体層の上に第2の誘電体層を形成する工程と、  
c) 該第2の誘電体層の上に、第3の誘電体層を形成する工程であって、該第3の誘電体層は、該第1の誘電体材料と同じ誘電体材料を含む、工程と、を含む、誘電体スタックを形成する方法。

【請求項 14】 前記半導体基板を恒温約400度から900度の間の温度でアニーリングし前記誘電体スタックを改良する工程をさらに含む、請求項13に記載の方法。

【請求項 15】 前記誘電体スタック上に電極層を堆積する工程と、該電極層およびその下の誘電体スタックをバーニングして、所望の集積回路構造を形成する工程と、をさらに含む、請求項14に記載の方法。

【請求項 16】 前記第1の誘電体層を形成する工程は、單原子層堆積法を用いて、前記第1の誘電体材料を堆積する、請求項13に記載の方法。

【請求項 17】 前記第2の誘電体層を形成する工程は、单原子層堆積法を用いて、前記第2の誘電体材料を堆積する、請求項13に記載の方法。

【請求項 18】 前記第1の誘電体層を形成する工程は、单原子層堆積法を用いて、前記第1の誘電体材料の第1の前駆体を堆積する、請求項13に記載の方法。

【請求項 19】 前記第1の前駆体を酸化して、前記第1の誘電体材料を形成する工程をさらに含む、請求項18に記載の方法。

【請求項 20】 前記第1の前駆体は、自己制限的に形成された单分子層として堆積される、請求項18に記載の方法。

【請求項 21】 前記第1の前駆体は、ZrCl<sub>4</sub>、ジルコニウムイソプロポキシド(以下Zr(iOPr)<sub>4</sub>と記す)、およびジルコニウムテトラメチルヘプタンジオネット(以下Zr(tmh<sub>4</sub>)と記す)からなる群から選択される、請求項18に記載の方法。

【請求項 22】 前記第1の誘電体層を形成する工程は、所定の時間、第1のターゲットのスパッタリングを用い、前記第2の誘電体層を形成する工程は、所定の時間、第2のターゲットのバルススパッタリングを用いる、請求項13に記載の方法。

【請求項 23】 前記第1のターゲットおよび前記第2のターゲットのスパッタリングの前記時間は、シャッターにより制御される、請求項22に記載の方法。

【請求項 24】 スパッタリングが酸化雰囲気で実行される、請求項22に記載の方法。

【請求項 25】 前記第1の誘電体層を形成する工程は、所定の時間、第1のターゲット材料の蒸着を用い、

前記第2の誘電体層を形成する工程は、所定の時間、第2のターゲット材料の蒸着を用いる、請求項13に記載の方法。

【請求項26】 前記第1のターゲットおよび前記第2のターゲットの蒸着の時間は、シャッターにより制御される、請求項25に記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、一般的に大規模集積回路(LSI)製造プロセスに関し、より詳細には、多層誘電体スタック、およびそのようなスタックを有するトランジスタを製造するための方法に関する。

##### 【0002】

【従来の技術】 現在のVLSI技術は、MOSデバイスのゲート誘電体としてSiO<sub>2</sub>を用いる。デバイス寸法が縮小され続けるにつれ、ゲートとチャネル領域間で同一のキャパシタンスを維持するために、SiO<sub>2</sub>層の厚さも減少しなければならない。将来には、2ナノメートル(nm)未満の厚さが予想される。しかしながら、そのようなSiO<sub>2</sub>膜ではトンネル電流を無視できなくなる為、代替の材料を考慮する必要がある。高誘電率を有する材料では、ゲート誘電体層を逆に厚くすることができるので、トンネル電流問題を改善できる。これらの、いわゆるhieg-h-k誘電体膜は、本明細書において、二酸化シリコンを浅く高誘電率を有するものとして定義される。典型的には、二酸化シリコンは、約4の比誘電率を有するが、約10を超える比誘電率を有するゲート誘電体材料を用いることが望ましい。

##### 【0003】

【発明が解決しようとする課題】 上記のhieg-h-k誘電体に関する一般的な問題の一つは、通常の集積回路製造条件を用いていかに均一な膜を成長させるかという事である。現在の常法を用いた場合には、膜の表面の平坦性が大きく低下する。表面の平坦性の低下により、誘電体膜に隣接するチャネル領域に不均一な電界を生じる。そのような膜は、MOSFETデバイスのゲート誘電体として不適切である。

【0004】 高いトンネル電流のために、1.5nmよりも薄いSiO<sub>2</sub>膜は、一般的にCMOSデバイスのゲート誘電体として使用できない。現在、SiO<sub>2</sub>をTiO<sub>2</sub>およびTa<sub>2</sub>O<sub>5</sub>に置き換えるための研究における多大な努力が、最大の関心を呼んでいる。堆積後の高温アニーリング界面に副成されるSiO<sub>2</sub>層は、酸化物換算膜厚(EOT)：1.5nmを有するhieg-h-k膜の実現を非常に困難にしている。

##### 【0005】

【課題を解決するための手段】 全般的な性能を劣化させたり、またはトンネル電流を増加せることなく、酸化物換算膜に関する問題を改善する代替誘電体が用いられれば有利である。

【0006】 MOSトランジスタのゲート電極とその下のチャネル領域との間の絶縁バリアとして、hieg-h-k誘電体膜が用いられ得れば有利である。

【0007】 hieg-h-k誘電体膜が、低減された表面平坦性および低リード電流を有して形成され得れば有利である。これらの特性を有する高誘電率材料が、集積回路のゲート誘電体および格納キャッシュに用いられ得れば有利である。

【0008】 本発明によるMOSトランジスタは、a)ゲート電極と、b)該ゲート電極の下に上面を有するチャネル領域と、c)第1の誘電体材料を含む第1の誘電体層、第2の誘電体材料を含む第2の誘電体層、および該第1の誘電体材料を含む第3の誘電体層を含み、該ゲート電極と該チャネル領域の上面との間に挿入させたゲート誘電体スタックを含み、これにより上記目的を達成する。

【0009】 本発明によると多層誘電体スタックを含むICのための集積回路(IC)構造は、a)第1の誘電体材料を含み、半導体基板を覆う第1の誘電体層と、b)第2の誘電体材料を含み、該第1の誘電体層を覆う第2の誘電体層と、c)該第1の誘電体材料を含み、該第1および第2の誘電体層を覆う第3の誘電体層と、d)該誘電体スタックを覆う電極とを含み、これにより上記目的を達成する。

【0010】 前記第1の誘電体材料は、ZrO<sub>2</sub>、HfO<sub>2</sub>、TiO<sub>2</sub>、およびTa<sub>2</sub>O<sub>5</sub>からなる群から選択され、前記第2の誘電体材料は、Al<sub>2</sub>O<sub>3</sub>、AlN、SiN、Si<sub>3</sub>N<sub>4</sub>、およびSiO<sub>2</sub>からなる群から選択されてもよい。

【0011】 前記第1の誘電体材料は、Al<sub>2</sub>O<sub>3</sub>、AlN、SiN、Si<sub>3</sub>N<sub>4</sub>、およびSiO<sub>2</sub>からなる群から選択され、前記第2の誘電体材料は、ZrO<sub>2</sub>、HfO<sub>2</sub>、TiO<sub>2</sub>、およびTa<sub>2</sub>O<sub>5</sub>からなる群から選択されてもよい。

【0012】 前記第1の誘電体層は、50オングストローム未満の厚さであってもよい。

【0013】 前記第1の誘電体層は、約2～5オングストロームの厚さであってもよい。

【0014】 前記第2の誘電体層は、50オングストローム未満の厚さであってもよい。

【0015】 前記第2の誘電体層は、約2～5オングストロームの厚さであってもよい。

【0016】 前記第1の誘電体層と前記半導体基板との間に挿入された酸化バリアをさらに含んでもよい。

【0017】 前記酸化バリアが、窒化シリコンおよび酸窒化シリコンからなる群から選択される材料で構成されてもよい。

【0018】 前記半導体基板と前記電極との間に、複数の前記第1の誘電体材料および前記第2の誘電体材料の複数の交互の層が挿入されてもよい。

【0019】前記複数の交互の層は、約20～200オングストロームの厚さの合計厚さを有してもよい。

【0020】本発明による誘電体スタックを形成する方法は、a) 半導体基板の上面に第1の誘電体層を形成する工程と、b) 該第1の誘電体層の上に第2の誘電体層を形成する工程と、c) 該第2の誘電体層の上に、第3の誘電体層を形成する工程であって、該第3の誘電体層は、該第1の誘電体材料と同じ誘電体材料を含む、工程とを含み、これにより上記目的を達成する。

【0021】前記半導体基板を摂氏約400度から900度の間の温度でアニーリングし前記誘電体スタックを改質する工程をさらに含んでもよい。

【0022】前記誘電体スタック上に電極層を堆積する工程と、該電極層およびその下の誘電体スタックをバーニングして、所望の集積回路構造を形成する工程とをさらに含んでもよい。

【0023】前記第1の誘電体層を形成する工程は、単原子層堆積法を用いて、前記第1の誘電体材料を堆積してもよい。

【0024】前記第2の誘電体層を形成する工程は、単原子層堆積法を用いて、前記第2の誘電体材料を堆積してもよい。

【0025】前記第1の誘電体層を形成する工程は、単原子層堆積法を用いて、前記第1の誘電体材料の第1の前駆体を堆積してもよい。

【0026】前記第1の前駆体を酸化して、前記第1の誘電体材料を形成する工程をさらに含んでもよい。

【0027】前記第1の前駆体は、自己制限的に形成された单分子層として堆積されてもよい。

【0028】前記第1の前駆体は、 $ZrCl_4$ 、ジルコニウムイソプロポキシド（以下 $Zr(iPrO)_4$ と記す）、およびジルコニウムテトラメチルヘプタンジオネット（以下 $Zr(tmh_4)$ と記す）からなる群から選択されてもよい。

【0029】前記第1の誘電体層を形成する工程は、所定の時間、第1のターゲットのスパッタリングを用い、前記第2の誘電体層を形成する工程は、所定の時間、第2のターゲットのパルススパッタリングを用いてよい。

【0030】前記第1のターゲットおよび前記第2のターゲットのスパッタリングの前記時間は、シャッターにより制御されてもよい。

【0031】スパッタリングが酸化雰囲気で実行されてもよい。

【0032】前記第1の誘電体層を形成する工程は、所定の時間、第1のターゲット材料の蒸着を用い、前記第2の誘電体層を形成する工程は、所定の時間、第2のターゲット材料の蒸着を用いてよい。

【0033】前記第1のターゲットおよび前記第2のターゲットの蒸着の時間は、シャッターにより制御されて

もよい。

【0034】従って、 $SiO_2$ を含む高誘電率を有する $h_i e h - k$ 材料と挿入材料との交互に構成される多層誘電体スタックが提供される。 $h_i e h - k$ 材料は、酸化チタン（ $TiO_2$ ）、酸化ジルコニア（ $ZrO_2$ ）、酸化ハフニウム（ $HfO_2$ ）、酸化タンタル（ $Ta_2O_5$ ）、およびバリウムストロンチウムチタン酸化物（ $(Ba, Sr)TiO_3$ ）から選択され、好ましくは、酸化ジルコニアまたは酸化ハフニウムである。挿入材料は、酸化アルミニウム（ $Al_2O_3$ ）、窒化アルミニウム（ $AlN$ ）、窒化シリコン（ $SiN$ または $Si_3N_4$ ）、または二酸化シリコン（ $SiO_2$ ）から選択され、好ましくは、酸化アルミニウム、窒化アルミニウム、または窒化シリコンである。

【0035】好ましくは、 $h_i e h - k$ 材料と挿入材料との交互の層は、集積回路における従来技術の二酸化シリコン誘電体層に取って代わる。それぞれの層は、好ましくは厚さ50オングストローム未満である。挿入材料と接する $h_i e h - k$ 材料の薄層は、挿入材料によって膜の結晶化が抑制される。多層は、トンネル電流を低減し、これにより、より優れたデバイス性能を可能にする。全体の高さは変えずに、追加の層がトンネル電流を低減する。所与の高さを有するスタックの全キャパシタスは、挿入材料および $h_i e h - k$ 材料の両方の誘電率に非常に依存する。所望の全厚に対する層の数は、各層で得られる最小厚さおよび所望のデバイス特性により限定される。

【0036】さらに、半導体基板上の誘電体材料からなる第1の層と、第1の層上の誘電体材料からなる第2の層と、第2の層上の第1の層と同じ材料で構成された第3の層とを有する多層誘電体スタック、および誘電体スタック上の電極と含むICのための集積回路（IC）構造も提供される。誘電体スタックの構成材料は上述したとおりである。誘電体スタックの全厚は、好ましくは、20～200オングストロームの間である。

【0037】本発明の別の実施形態では、集積回路構造は、ゲート電極と、上面がゲート電極の下に重なるチャネル領域と、第1の誘電体材料を含む第1の誘電体層、第2の誘電体材料を含む第2の誘電体層、および第1の誘電体層と同じ材料を含む第3の誘電体層を含み、ゲート電極とチャネル領域の上面との間に挿入されたゲート誘電体スタックとを含むMOSトランジスタである。

【0038】本発明のいくつかの層は、シリコン基板と誘電体スタックとの間に挿入され、誘電体スタックの下にあるシリコン基板に酸素が移動するのを防ぐ酸化バリアをさらに含む。界面材料は、窒化アルミニウム、窒化シリコン、および酸化シリコンからなる群から選択される。

【0039】上面を有する半導体基板上へのICの形成において、半導体基板上に多層誘電体スタックを形成す

るための方法が提供される。この方法は、

- a) 第1の誘電体層を半導体基板の上面に形成する工程と、
- b) 第2の誘電体層を第1の誘電体層の上に形成する工程と、
- c) 第3の誘電体層を第2の誘電体層の上に形成する工程であって、第3の誘電体層は第1の誘電体材料と同一の誘電体材料を含む、工程と、を含む。

【0040】好ましくは、各誘電体層は前駆体の単原子層堆積法 (Atomic Layer CVD) (ときにはパルスCVDとも称される) と、所望の酸化材料を形成するためのその後の前駆体の酸化とにより形成される。単原子層堆積法 (Atomic Layer CVD) が好ましいが、各誘電体層を堆積するその他の方法は、スパッタリングや蒸着を含む。

【0041】複数の誘電体層の堆積に統じて、誘電体スタック全体が好適には、摂氏約40度～90度の間の温度でアニーリングされ、スタッツ、層間の界面、および基板との界面が改質される。

【0042】続く処理は、ICの形成を完了するために実行され得、電極層を堆積する工程と電極層とその下の複数の誘電体層をバーナーニングする工程とを含み、多層誘電体スタック構造を形成する。

【0043】

【説明の実施の形態】以下、例示目的である図面（倍率は一定ではない）を参照して、図1は、一般的な従来技術による集積回路のMOSトランジスタゲート構造10を示す。MOSトランジスタゲート構造10は、半導体基板12上のチャネル領域15を含む活性領域14の上に形成されている。MOSトランジスタゲート構造10は、一定の幅を備えるチャネル領域15の上に位置する二酸化シリコン誘電体層16を有する。電極18は、典型的にはドープされたポリシリコンであり、誘電体層16の上に形成され、ゲート構造10が完成される。

【0044】完成されたMOSトランジスタは、図1および他のいくつかの図に示されるソース領域21、ドレイン領域23、および電界絶縁領域27も含む。しかし、これらの特徴は当業者に周知であるので、さらに説明または明示しない。以下の説明において、このMOSトランジスタゲート構造10に類似する構造は、本発明が誘電体材料を用いる他のデバイス構造に適用可能であることを強調するために、しばしば集積回路構造と呼ばれる。

【0045】ICデバイスの寸法を縮小し続けるにつれ、二酸化シリコン誘電体層16の厚さも、同じキャビタンスレベルおよびデバイス全体の他の特性を維持するためにより薄くしなければならない。ICデバイスの「寸法」とは、一般的に、チャネル領域15の長さを言う。その長さは、図1に示すように、一般的に、ゲート電極18の長さに等しい。この長さが縮小し続けるにつ

れ、チャネル領域の面積も減少する。キャビタンスを維持するためには、二酸化シリコン層の厚さも減少しなければならない。二酸化シリコン誘電体層の必要な厚さが非常に薄くなる（約20オングストローム）と、一般的に、高いトンネル電流の発生により代替材料の使用を必要とする。代替材料は、二酸化シリコンに対して高誘電率を有するために、「*high-k*」材料と呼ばれる。*high-k*材料のための現在の候補は、酸化チタン (TiO<sub>2</sub>)、酸化ジルコニウム (ZrO<sub>2</sub>)、酸化ハフニウム (HfO<sub>2</sub>)、酸化タンタル (Ta<sub>2</sub>O<sub>5</sub>)、およびバリウムストロンチウムチタン酸化物 ((Ba, Sr)TiO<sub>3</sub>) である。残念ながら、これらの材料は、通常の成膜プロセス条件または後続するプロセス温度において多結晶構造を成長する傾向にある。これらの多結晶構造は、リード電流の増加に関係してきた。

【0046】本発明は、*high-k*材料および挿入材料の交差の層を用いることにより、これらの問題に取り組む。挿入材料は好ましくは非晶質である。薄い*high-k*層を分離する薄い挿入層は、*high-k*層内での多結晶構造の形成を低減または排除する。挿入材料は非晶質なので、隣接層内の結晶化の重もさらに低減する傾向にある。また、薄い*high-k*層を有することにより、発生し得る任意の結晶化は、比較的小さな結晶構造を形成する。非晶質の挿入材料が好ましいが、単結晶材料または小さな多結晶構造を有する材料も、本発明の範囲内である。

【0047】以下、図2を参照して、半導体基板112の活性領域114上に集積回路構造110が形成される。集積回路構造は、図1に示す二酸化シリコン誘電体層16に取って代わる多層誘電体スタック116を有する。多層誘電体スタックは、活性領域114の上に挿入層130を有し、挿入層130の上に*high-k*層140を有する。挿入層130は、酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>)、窒化アルミニウム (AlN)、窒化シリコン (Si<sub>3</sub>N<sub>4</sub>またはSi<sub>3</sub>N<sub>4</sub>)、または二酸化シリコン (SiO<sub>2</sub>) で構成されるが、好ましくは、酸化アルミニウムである。挿入層130は、厚さ50オングストローム未満である。*high-k*層140は、*high-k*誘電体材料は、酸化チタン (TiO<sub>2</sub>)、酸化ジルコニウム (ZrO<sub>2</sub>)、酸化ハフニウム (HfO<sub>2</sub>)、酸化タンタル (Ta<sub>2</sub>O<sub>5</sub>)、またはバリウムストロンチウムチタン酸化物 ((Ba, Sr)TiO<sub>3</sub>) であるが、好ましくはZrO<sub>2</sub>、またはHfO<sub>2</sub>である。第2の挿入層150は*high-k*層140上にあり、好ましくは、挿入層130と同一の材料で構成される。本発明の好適な実施形態では、例えば、Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>のように層が繰り返す。

【0048】図3に示すように、層の数またはバーナーが何度も繰り返し得る。それぞれの追加の層は、多層誘電

体スタックのトンネル電流を低減する傾向にあるが、同時に全体のキャパシタンスを低減する。低いトンネル電流で、高いキャパシタンスを有することが望ましいので、ICデバイスの所望の性能に差つき、平衡が好適に決定される。また、 $h_{i \times h - k}$  層 140 を挿入層 130 よりも先に堆積するというように、材料の順序を逆にすることも可能である。

【0049】複数の層を上述したが、最上層として特別の層を備えることもまた、本発明の範囲内である。最上層は、電極 118 に良好な界面を設けるように選択され得る。

【0050】挿入層 130 は、好ましくは、酸化バリアとして機能し、その下のシリコンを保護する材料から選択される。挿入層 130 が酸化バリアとして機能しない場合、すなわち最もくばく  $h_{i \times h - k}$  層 140 がその下のシリコン基板に接触している場合、酸化バリア 170 は、図 4 に示すように、半導体基板 112 と多層誘電体スタック 116 との間に設けられる。本発明で必要とする厚さにおいて、酸化バリアとして機能する材料は、酸化アルミニウム、窒化シリコン、および酸窒化シリコンを含む。

【0051】図 5 は、本発明による多層誘電体スタック 216 を備える集積回路デバイスの製造の中間段階の実施形態を示す。複数の  $h_{i \times h - k}$  材料 230 および挿入材料 240 の層が、ウェハ 212 全体に交互に堆積され、多層誘電体スタック 216 を形成している。次に、電極層 218 もウェハ全体に堆積される。電極層 218 とその下の多層誘電体スタック 216 は、バーニングされてからエッチングされ、図 2 に示す集積回路構造を製造する。所望の接合または他の構造を製造するためにさらなるプロセスが実行され得る。

【0052】また、本発明の多層誘電体スタックは、新規な置き換えゲート製造法と組み合わせて用いるのにも適している。置き換えゲートは、後に実質的に除去される予備ゲート構造の形成を含む。予備ゲート構造が除去された後には、予備ゲート構造が存在した箇所に開口部が残される。次に、最終的なゲートがこの開口に形成され得る。図 6 は、置き換えゲートの形成における中間段階での半導体基板を示す。予備ゲート構造は、すでに除去されており、フレーナ材料 311 により囲まれた開口部 300 を形成している。フレーナ材料 311 は、好ましくは二酸化シリコンまたは窒化シリコンである。

【0053】図 7 は、置き換えゲートを形成するための開口部を有する半導体基板 312 上に、挿入材料 330 および  $h_{i \times h - k}$  材料 340 の交互の層で形成される多層誘電体スタック層 316 と電極層 318 とが堆積されたその後の段階を示す。図 8 に示す構造を製造するためには、多層誘電体スタック層 316 および電極層 318 が、化学洗浄研磨または他の適切なプロセスにより、それらがフレーナ材料 311 上にある領域から除去され

得る。

【0054】図 8 は、置き換えゲート構造に適用された本発明を示す。多層誘電体スタック 416 は、活性領域 414 上にある。多層誘電体スタック 416 の形成中に、多層誘電体スタック 416 および 424 が形成される。電極 418 は好ましくは金属であり、多層誘電体スタック 416 および 424 との間に多層誘電体スタック 416 上にある。

【0055】本発明の方法における工程を図 9 に模式的に示す。第 1 の工程 510 は、半導体基板を提供する工程である。本発明の別の実施形態では、半導体基板上に酸化バリアも提供される。

【0056】工程 520 は、酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>)、窒化アルミニウム (AlN)、窒化シリコン (SiN または Si<sub>3</sub>N<sub>4</sub>)、または二酸化シリコン (SiO<sub>2</sub>)などの挿入材料、あるいは酸化チタン (TiO<sub>2</sub>)、酸化ジルコニア (ZrO<sub>2</sub>)、酸化ハフニウム (HfO<sub>2</sub>)、酸化タンタル (Ta<sub>2</sub>O<sub>5</sub>)、またはバリウムストロンチウムチタン酸化物 ((Ba, Sr)TiO<sub>3</sub>)などの  $h_{i \times h - k}$  材料からなる 50 Å 未満の薄層を堆積する工程である。 $h_{i \times h - k}$  材料は、好ましくは ZrO<sub>2</sub>、または HfO<sub>2</sub>である。好ましくは、35 オングストローム以下の薄層が堆積される。20 オングストローム以下のさらには薄い層が望ましい。

【0057】工程 530 は、50 Å 未満の  $h_{i \times h - k}$  材料または挿入材料のうち、工程 520 で堆積されなかつた材料を堆積する。好ましくは、35 オングストローム以下の薄層が堆積される。20 オングストローム以下のさらには薄い層が望ましい。

【0058】本発明の好適な実施形態では、基板上に極薄層の材料を堆積するのに、単原子層堆積法 (Atomic Layer CVD) (「パルス CVD」または「原子層エピタクシ」とも呼ばれる) が用いられる。単原子層堆積法 (Atomic Layer CVD) は、化学吸着として知られる化学現象を用いる。化学吸着では、気相の材料がそれを飽和させる表面に吸着し、単分子層を形成する。たいていの従来の堆積技術は、物理吸着プロセスを用いる。物理吸着プロセスでは、純粋に統計的な表面カバレッジで多層堆積領域を形成する。化学吸着の利点を生かすことで、厚さおよび組成が極めて均質な膜を成長させ得る。例えば、この方法では、第 1 の単分子層を形成するために、塩化ジルコニア (ZrCl<sub>4</sub>) を用いて ZrCl<sub>4</sub> 素子をバージし、次いで表面を水蒸気 (H<sub>2</sub>O) に曝すことにより、シリコン上に酸化ジルコニア膜を報告されているように成長する。酸化ジルコニア膜を形成するための他の前駆体は、ジルコニア、プロポキシド (Zr(OPr)<sub>4</sub>) およびジルコニアテトラメチルヘプタンジオネット (Zr(OC<sub>4</sub>H<sub>9</sub>)<sub>4</sub>) を含む。化学吸着は、所与の気体-固体の組み合わせに対し、非常に限られた範囲の温度および圧力で起こる。例えば、酸化ジルコニアは、ZrCl<sub>4</sub> およ

びH<sub>2</sub>Oを用いて摄氏300度の温度で、シリコン基板上に報告されているように堆積されてきた。そのプロセスは单分子層を形成するので、さらなる单分子層を加えることにより、酸化シリコニウムのより厚い層が形成される。いったん所望の厚さのh<sub>i</sub>をh<sub>-k</sub>材料が堆積されたら、一つ以上の单分子層を所望の厚さに達するまで堆積することにより、挿入材料の層を形成し得る。例えば、Al<sub>2</sub>O<sub>3</sub>を生成するために、水素化ジメチルアルミニウム(DMAH)およびH<sub>2</sub>Oが用いられる。選択した前駆体に関する化学吸着を利用するためには、過度の実験を行わずに一般的なプロセスが最適化されなければならない。この堆積スキームの重要な局面は、次の成分を導入する前に、その前の成分を十分に除去することと、h<sub>i</sub>をh<sub>-k</sub>材料および挿入材料により異なり得る温度および圧力を制御する能力である。单原子層堆積法(Atomic Layer CVD)により、10オングストローム以下の厚さの層、好ましくは、約2~5オングストロームの間の厚さの層を形成すること可能にする。そのような超薄原子層の半導体基板上への堆積を達成するための実用的な装置は現存しないが、原子層堆積が実行可能であるという実験的堆積は実施されている。

【0059】従来のシステムを用いた別の堆積技術は、ターゲットをスパッタリングして、h<sub>i</sub>をh<sub>-k</sub>または挿入材料の薄層を堆積することである。高純度金属の2つのスパッタリングターゲットが用いられる。例えば、一つのターゲットがジルコニウムで、一つのターゲットがアルミニウムである。それぞれのターゲットは、堆積時間を制御するための各自のシャッターを有する。ウェハを用意し、堆積チャンバ内に配置する。次に、このウェハを室温~摄氏500度の間の温度に加热する。次に、アルゴン(Ar)および酸素(O<sub>2</sub>)の混合物が堆積チャンバに導入される。チャンバ内に約500W~5kWの間のスパッタリング出力によりプラズマが生成される。アルミニウムターゲットのシャッターは、好ましくは、約1~10秒の時間開き、ウェハ上にアルミニウムを堆積し、その後閉じる。アルミニウムターゲットのシャッターが閉じた後、ジルコニウムシャッターが約1~20秒の時間開き、ウェハを上にジルコニウムを堆積し、その後閉じる。チャンバ内に存在する酸素により、ターゲット材料のウェハ上への堆積と同時に堆積されたターゲット材料の酸化物を形成し、それぞれAl<sub>2</sub>O<sub>3</sub>およびZrO<sub>2</sub>を生成する。その後、所望によりこの工程が繰り返され、Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>のような多層誘電体スタックが形成される。

【0060】本発明の堆積方法の別さらなる実施形態では、薄層を堆積するためにターゲットからの蒸着法が用いられる。基本的なプロセスは、スパッタリングに関して上述した説明と実質的に同一だが、プラズマにタ

ゲットを略す代わりに、摄氏約1,000~2,000度の間の温度でターゲットを加热する点が異なる。上述のように、堆積時間を制御し、ターゲット間を交互にするためにシャッターが用いられる。

【0061】上述の例では、挿入層は、h<sub>i</sub>をh<sub>-k</sub>層よりも前に堆積されるが、h<sub>i</sub>をh<sub>-k</sub>層を最初に堆積することも本発明の範囲内である。また、最初の層と最後の層が同一の材料となり得るか、または最後の層がまったく異なる材料になり得るよう、奇数の層を形成することも本発明の範囲内である。

【0062】工程540は、所望の数の層が堆積されるまで、工程520および530の繰返しを提供する。各層の堆積は、シャッター、または他の手段を利用して、堆積時間を制御することにより制御され得る。

【0063】工程550は、アルゴン、窒素、または窒素および水素の混合物を含む不活性ガス氛围気または酸素、水蒸気、一酸化二窒素または亜酸化窒素を含む酸化氛围気のいずれかで、多層誘電体スタックをアニーリングする工程である。アニーリングは、好ましくは、h<sub>i</sub>をh<sub>-k</sub>層および挿入層、ならびに様々な層間の界面およびその下のシリコンとの界面を改善するために、摄氏400度~900度に上昇された温度で実施される。

【0064】工程560は、電極の堆積と電極およびその下の多層誘電体スタックのバーニングを行う。バーニングは、所望により従来のバーニングプロセスまたは置き換えゲートプロセスのいずれかを用い得る。

【0065】本発明は、トランジスタのゲート誘電体として二酸化シリコンを置き換えることに特に適しているが、キャパシタ、強誘電体メモリデバイス、または他の種類の集積回路用の誘電体としても利用できる。

【0066】さらなる実施形態が本発明の範囲で可能である。例示的実施形態から明白なように、本発明は、いくつかの異なる集積回路構造に関する様々な構成で実施され得る。本発明の範囲内で本方法の他の変形が、当業者により行われ得る。従って、上述の開示および説明は、例示目的のみであって、本発明の限定を意図していない。本発明は特許請求の範囲により規定される。

【0067】【発明の効果】上述したように、h<sub>i</sub>をh<sub>-k</sub>材料および挿入材料の交互の層を有する多層誘電体スタックが提供される。挿入材料の存在およびh<sub>i</sub>をh<sub>-k</sub>材料層の薄さは、比較的高いアニーリング温度であっても、h<sub>i</sub>をh<sub>-k</sub>材料が結晶化する影響を低減または排除する。h<sub>i</sub>をh<sub>-k</sub>誘電体層は、好ましくはジルコニウムまたはハフニウムの金属酸化物である。挿入層は、好ましくは非品質の酸化アルミニウム、窒化アルミニウム、または窒化シリコンである。この層が、個々の層内で結晶化により形成されるグレインバウンダリーの貫通成長を抑制するので、全体的なトンネル電流が低減される。また、上述の多層誘電体スタックを形成するための所望の

材料を堆積する方法として、單原子層堆積法、スパッタリング、および蒸着が提供される。

【図面の簡単な説明】

【図 1】二酸化シリコン誘電体層を有する集積回路構造(従来技術)を示す模式断面図。

【図 2】多層誘電体スタックを有する集積回路構造を示す模式断面図。

【図 3】多層誘電体スタックの層数が異なり得ることを示す模式断面図。

【図 4】シリコン基板と多層誘電体スタックとの間に挿入された酸化バリアを示す模式断面図。

【図 5】複数の誘電体層および電極層の堆積に続く中間段階を示す模式断面図。

【図 6】置き換えゲート法を用いた、本発明によるデバイスの形成の中間段階を示す模式断面図であって、予備ゲートの除去後の構造を示す。

【図 7】置き換えゲート法を用いた、本発明によるデバイスの形成の中間段階を示す模式断面図であって、多層誘電体材料および電極材料層を堆積した後の構造を示す図。

【図 8】余分な材料を除去するためのフレーナプロセス後の図 7 のデバイスを示す模式断面図。

【図 9】本発明の方法の工程をまとめたフローチャート。

【符号の説明】

- 110 集積回路構造
- 112、312 半導体基板
- 114、414 活性領域
- 116、216、316、416 多層誘電体スタック
- 118 電極
- 130 插入層
- 140 high-k 層
- 150 第2の插入層
- 170 酸化バリア
- 218、318、418 電極層
- 230、340 high-k 材料
- 240、330 插入材料
- 300 開口部
- 311 フレーナ材料
- 422 多層壁

